

文章编号 1004-924X(2023)07-1022-09

单片集成光耦隔离式驱动芯片

程翔¹, 常浩然¹, 刘岩^{2*}, 邓晨洋¹, 严旭杰¹

(1. 厦门大学 航空航天学院, 福建 厦门 361104;

2. 集美大学 海洋信息工程学院, 福建 厦门 361021)

摘要:在功率半导体市场中, 绝缘栅双极型晶体管 (Insulated gate bipolar transistor, IGBT) 和碳化硅金属氧化物半导体场效应管 (Silicon carbide metal-oxide-semiconductor field-effect transistor, SiC MOSFET) 具有出色的耐压性与频率特性, 逐渐取代了传统的 MOSFET。为了提高 IGBT 和 SiC MOSFET 驱动电路的可靠性, 设计了一款光耦隔离式栅极驱动芯片, 通过协同设计光探测器与驱动电路, 从而实现单片集成。使用 Silvaco 软件对光探测器进行了仿真。仿真结果显示: 光探测器对 800 nm 波长红外光的响应度约为 0.277 A/W, -3 dB 带宽约为 90 MHz。进一步对光耦的光学结构进行优化设计, 实现了控制端与后端高压驱动电路的有效隔离, 从而解决了串扰问题。使用 Maxchip 0.18 μm 40 V BCD 工艺进行流片, 并对封装芯片进行测试。在光源输入电流为 10 mA、芯片供电电压为 12~40 V、输入信号频率为 20 kHz 的测试条件下, 芯片的传播延时仅为 98 ns。

关键词: 协同设计; 单片集成; 光耦隔离; 低延时

中图分类号: TN312 **文献标识码:** A **doi:** 10.37188/OPE.20233107.1022

Monolithic optocoupler isolated driver chip

CHENG Xiang¹, CHANG Haoran¹, LIU Yan^{2*}, DENG Chenyang¹, YAN Xujie¹

(1. School of Aerospace Engineering, Xiamen University, Xiamen 361104, China;

2. School of Marine Information Engineering, Jimei University, Xiamen 361021, China)

* Corresponding author, E-mail: ly_liu@jmu.edu.cn

Abstract: In the power semiconductor market, insulated gate bipolar transistor (IGBT) and silicon carbide metal-oxide-semiconductor field-effect transistors (SiC MOSFETs) have excellent voltage resistance and frequency characteristics, and thus gradually replaced the traditional MOSFETs. The reliability design of IGBT and SiC MOSFET driver circuits is associated with rigorous challenges. Therefore, an optocoupler-isolated gate driver chip was designed in this study. Monolithic integration was realized by co-designing photodetectors and driver circuits. Silveraco software was used to simulate the photodetector. The simulation results indicate that the responsivity of the photodetector to 800 nm infrared light is 0.277 A/W, and the -3 dB bandwidth is approximately 90 MHz. Further, the optical structure of the optocoupler was optimized to effectively isolate the control end and the rear high-voltage drive circuit, and thus the crosstalk problem was addressed. The 0.18 μm 40 V bipolar-CMOS-DMOS (BCD) technique was used to tape out and test the package chip. The chip test results indicate that the chip propagation delay is only

收稿日期: 2022-11-03; 修订日期: 2022-11-23.

基金项目: 福建省教育厅-面上项目 (No. JAT200264); 国家重点研发计划资助项目 (No. 2021YFB3200201)

98 ns when the input current of the light source is 10 mA, the chip power supply voltage is 12 ~ 40 V, and the input signal frequency is 20 kHz.

Key words: collaborative design; monolithic integration; optocoupler isolation; low delay

1 引言

近年来,绝缘栅双极型晶体管(Insulated Gate Bipolar Transistor, IGBT)以及碳化硅金属氧化物半导体场效应管(Silicon Carbide Metal-oxide-Semiconductor Field-effect Transistor, SiC MOSFET)等电力电子器件蓬勃发展,它是能量转换和电力传输的关键,被广泛应用于新能源发电、电动汽车逆变器、高压电源等设备中。IGBT是一种采用Si材料的复合型器件,其输入控制部分为MOSFET,输出功率部分为BJT。相较于传统的MOSFET,IGBT更适用于高压场合。SiC的禁带宽度约为Si的3倍,击穿电压约是Si的7倍,饱和电子迁移率约是Si的2倍^[1-2]。因此,SiC MOSFET具有更好的耐高温、耐高压特性,更适用于高频场合。通过提高开关频率,能够减小无源器件尺寸进而有效减小系统的体积,提高系统的稳定性与工作效率^[3-6]。

目前,国内外针对IGBT和SiC MOSFET的驱动电路进行了大量的分析和研究。降低驱动电路的输入输出延时,提高驱动能力和驱动功率等级,进行有效的高压隔离等是研究的重点。美国德州仪器公司设计了UCC233系列栅极驱动芯片,它具有体积小、隔离性能好、集成度高的特点。德国英飞凌公司研发了具有高 dv/dt 保护功能的两级关断技术的2ED020I12系列栅极驱动芯片。国内刘晓琳等^[7]提出了一种高可靠性的SiC MOSFET驱动芯片,该芯片具有4 A峰值电流的驱动能力。仿真结果显示在1 nF电容负载下,该芯片的瞬态延时和传输延时分别为8 ns以及20 ns,具有驱动能力强,延时时间短的优点。但是该设计未经过流片验证,并且并未讨论隔离方式的问题。黄烜宇等^[8]提出了一种用于Si-IGBT+SiC-SBD混合模块的栅极驱动电路。经流片验证,该芯片能有效抑制功率开关器件开启时的电流振荡,并且有效提高了器件的响应速度。余宝伟等^[9]研究了大功率SiC MOSFET驱动电路中的回路振荡问题,并使用

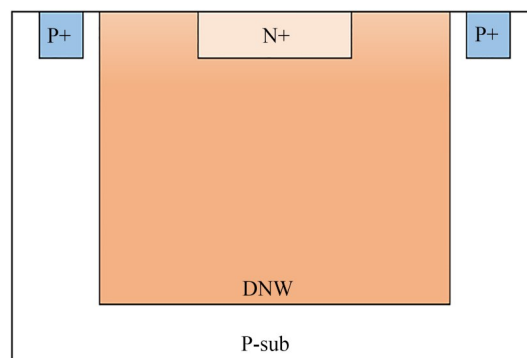
商用的电平移位隔离模块和光耦隔离模块对驱动电路进行辅助设计。

国外厂商在栅极驱动芯片方面的研究较为成熟,但大多数国外厂商只为自家产品设计专用的驱动芯片,缺乏通用性。国内在栅极驱动芯片的高压隔离方面的研究较少。此外,在提高芯片驱动能力、降低延时和抑制电路的振荡等方面,国内大多是通过添加外围电路的方法,而非从芯片设计角度考虑。本文设计了一款光耦隔离式栅极驱动芯片,使用光耦实现控制端与后端驱动电路的高压隔离,将光探测器与后续电路进行协同设计。此外,还对光学结构进行了优化,并设计了死区时间控制模块。该芯片具有驱动能力强、延时低、集成度高,及高压隔离的特点,更适合微小型系统。

2 光耦结构设计

2.1 光探测器结构设计和建模

基于Deep N-well/P-Sub结构的光探测器如图1(a)所示。该结构以P-sub为衬底,N+为中心有源区,P-sub与Deep N-well的接触区域形成PN结。Deep N-well的浓度从近表面处向内部逐渐升高,呈现逆向分布,这使得形成的PN结能够承受更高的电压,防止击穿。此外,添加的Deep N-well对器件和衬底起到一定的隔离作



(a) 结构图
(a) Structure diagram

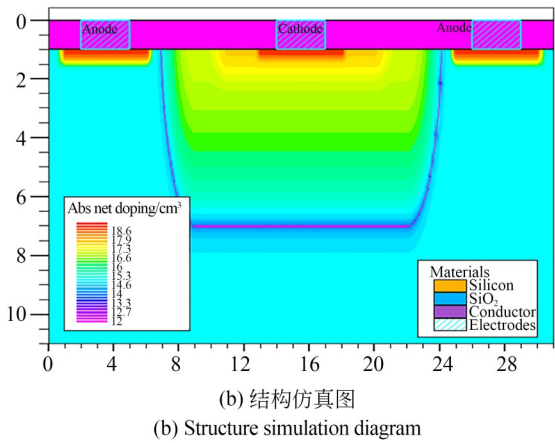


图 1 光探测器结构及仿真图

Fig. 1 Structure and simulation diagram of photodetector

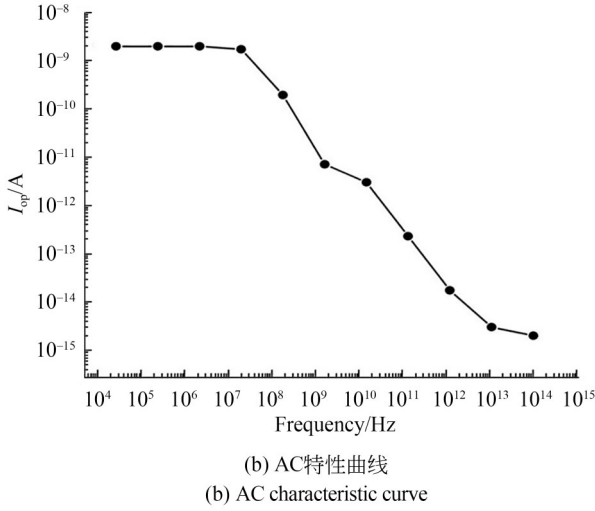
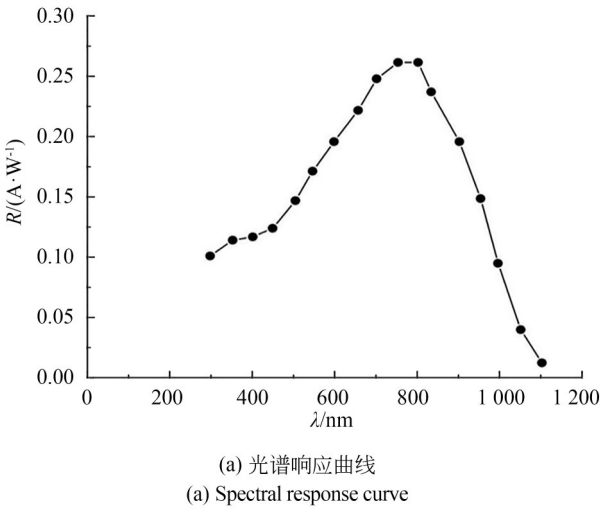


图 2 光谱响应曲线和 AC 特性曲线

Fig. 2 Spectral response and AC characteristic curves

2.3 光学结构设计和仿真

结合光探测器的仿真结果(见 2.2),选用波段为 850 nm 的红外光作为光源。光学仿真软件 TracePro 对光耦结构的仿真结果如图 3 所示。从图 3 可以看出:在光源全角发散角为 30°,光源距离光探测器 1.2 mm 的条件下,红外光主要集中在半径约为 500 μm 的圆中,且辐照度从中心点向外逐渐降低。基于减小芯片面积和提高红外光利用率这两方面,对光耦结构进行优化设计。

优化后的芯片封装整体结构如图 4 所示(彩图见期刊电子版)。图 4 中红色部分为光源,绿色部分为光探测器及后端电路,光接收面积为 500 $\mu\text{m} \times 500 \mu\text{m}$,光源和光探测器距离为

用,能够有效减小噪声,降低闩锁效应,从而提高光谱响应,降低器件的暗计数率^[10-12]。

使用 Silvaca 软件对光探测器进行建模,得到的二维剖面结构如图 1(b)所示,由图可知,主要有效区域为光探测器底部的 PN 结。

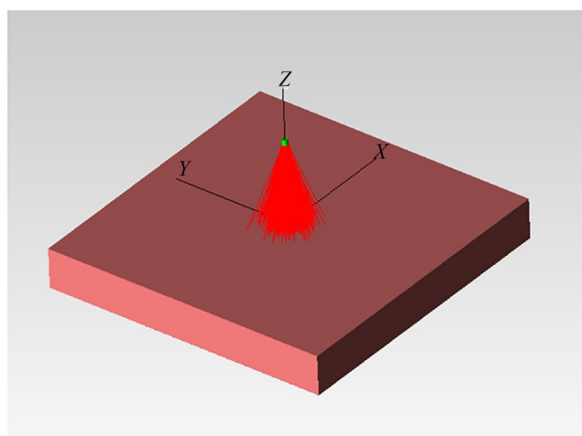
2.2 光探测器模型特性仿真

使用 Atlas 工具对光探测器模型进行光谱响应特性仿真和 AC 特性仿真,仿真得到的光探测器的光谱响应特性和 AC 特性曲线如图 2 所示。由图 2(a)可知:在入射光波长为 800 nm 时,光探测器的响应度达到最大值,约为 0.277 A/W。由图 2(b)可知:−3 dB 带宽约为 90 MHz。

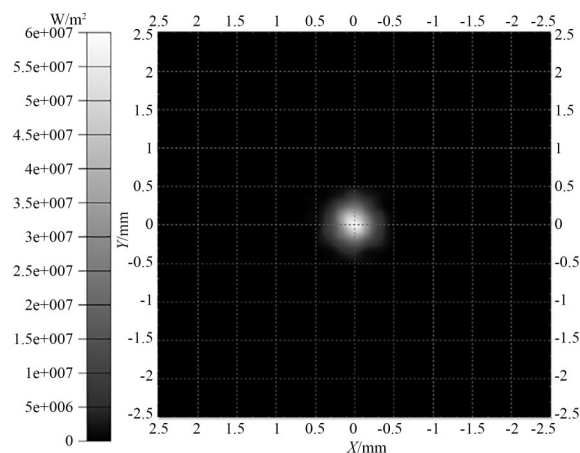
1.2 mm。整个封装是一个半透明的光学腔。选用对可见光不透明且对红外光透明的环氧树脂,将它作为光学腔内的填充材料。当红外光在光探测器正上方时,红外光的利用率最大。

3 光探测器与后端电路协同设计

电路设计中,常见的隔离方式有变压器隔离、电容隔离以及光耦隔离等。变压器隔离的方式具有传输延时小、绝缘能力高的优点,但体积较大不适用于芯片设计;电容隔离的方式抗电磁干扰能力比较强,但是需要很大的面积,成本较高且速度较低;光耦隔离的方式面积较小适用于



(a) 光源仿真
(a) Light source simulation



(b) 辐照度仿真
(b) Irradiance simulation

图 3 光耦辐照度仿真

Fig. 3 Irradiance simulation of optocoupler

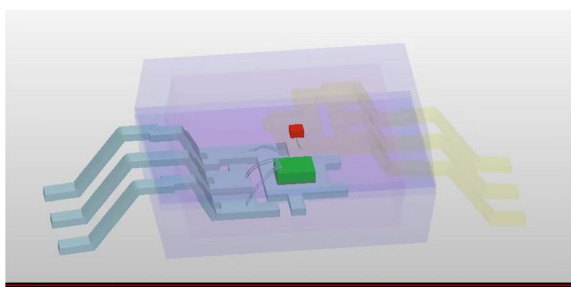


图 4 芯片整体结构

Fig. 4 Overall structure of chip

芯片设计,但也存在着容易老化,与后续电路不适配等问题。相较于传统的将光耦与电路分开设计的方式,采用协同设计的方式将光探测器、放大电路和逻辑驱动电路集成在同一块芯片上,这样不仅增加了芯片的可靠性,解决了与后续电路的适配问题,也降低了流片成本。

栅极驱动芯片的整体结构如图 5 所示,可分

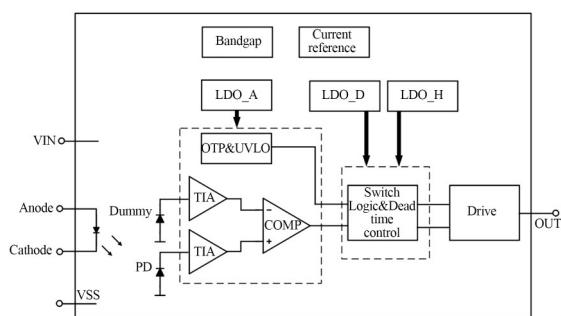


图 5 栅极驱动芯片的整体结构

Fig. 5 Overall structure of grid drive chip

为光电耦合器和后端电路两个部分。其中,光电耦合器部分又分为光源和光探测器,光探测器与后端电路集成在同一块芯片上;后端电路部分主要包括电源管理模块、信号接收与处理模块、逻辑与死区时间控制模块、功率输出级和保护模块等。

3.1 信号接收与处理模块

通常从光探测器得到的是一个微弱的电流信号,需要经过跨阻放大器进行放大并将光电流转换成电压。光探测器存在一定的暗电流,可能会导致后续信号处理时产生错误逻辑。针对该问题,本文提出了加入虚拟光探测器(顶层用金属覆盖)和迟滞比较器的方法^[13]。

跨阻放大器的设计需要在噪声、增益和带宽之间进行折中考虑,应根据系统实际需求来选择增益和带宽参数。带宽过大会产生额外的噪声和增益的减小,而带宽过小则会对信号接收产生影响。在满足栅极驱动芯片设计要求并且减小版图面积节约成本的考虑下,设计噪声较低且结构简单的带源级负反馈的跨阻放大器,如图 6 所示。图 6 中, M1 为共源放大器驱动管, M2~M8 构成电流镜, M4 和 M5 为共源放大器的负载管, M8 和 M9 构成源跟随器。反馈电阻 R1 接在 M1 管的栅极和漏极两端形成电压并负反馈,将输入电流转换为电压。在设计比较器时引入迟滞单元,其目的是使比较器在噪声环境中也能正常输出相应的逻辑电平。迟滞

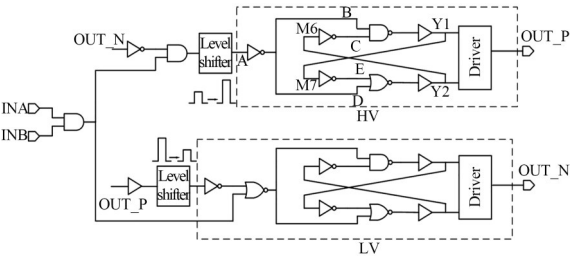


图 9 跨阻放大器和迟滞比较器的仿真结果

Fig. 9 Simulation results of transimpedance amplifier and hysteresis comparator

的电平改变,或非门的输出也不会发生变化,即与非门的逻辑先发生改变时,或非门输出保持不变。此时的死区时间为信号从 M7 到 Y2 的延迟时间。同理,或非门的逻辑先发生改变时,与非门输出保持不变,此时的死区时间为信号从 M6 到 Y1 的延迟时间。

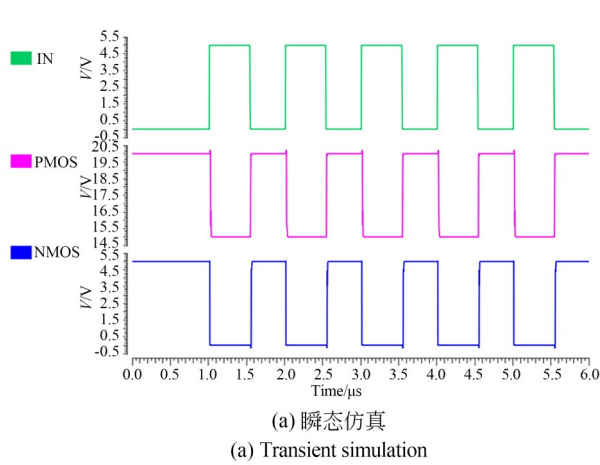


表 1 HV 部分逻辑表

Tab. 1 HV part logic table

A	B	C	D	E	Y1	Y2	X
低	高	高	高	高	低	低	高
高	低	高	低	低	高	高	低

逻辑与死区控制模块的整体仿真结果如图 10 所示。以输入下降沿为例,图 10 中从上至下的信号分别为:迟滞比较器的输出信号 IN, PMOS 驱动的输出信号和 NMOS 驱动的输出信号。两个驱动输出信号之间存在死区时间,这是为了避免后级负责驱动的 PMOS 和 NMOS 同时导通。在输入信号下降沿时,输入信号到 PMOS 驱动的传播延时约为 8.23 ns, PMOS 驱动和 NMOS 驱动的死区时间约为 9.2 ns。

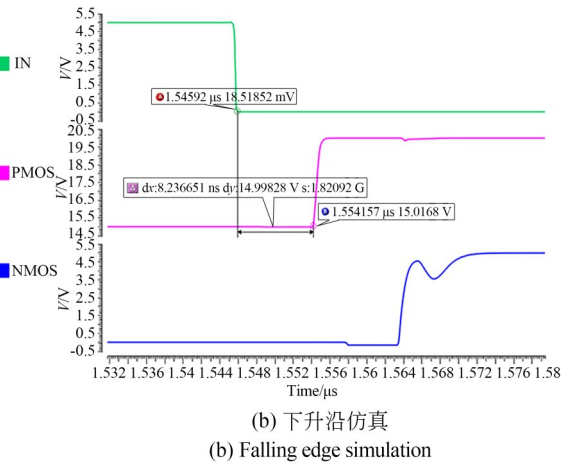


图 10 逻辑与死区控制模块的仿真结果

Fig. 10 Simulation results of logic and dead time control module

3.3 整体仿真

芯片的整体仿真电路如图 11 所示,当光探测器产生 10 μA 的光电流时(图 11 中用电流源表示光探测器产生的光电流),频率为 1 MHz,占空比为 50%,上升时间和下降时间均为 1 ns。为了模拟光探测器中的结电容,在电流源旁并联一个 1 pF 的电容。为了模拟功率开关器件栅极的寄生电容,在输出端 OUT 旁串联一个 1 nF 的电容。设置电源 VDD 电压为 20 V, VSS 接地,温度为 27 $^{\circ}\text{C}$,得到芯片的整体功能仿真结果,如图 12 所

示。图 12 中从上至下分别为:光电流输入信号 IN,迟滞比较器输出信号 COMP, PMOS 驱动输出信号 PMOS, NMOS 驱动输出信号 NMOS, 驱动级输出信号 OUT 和输出峰值电流 I_{H} 。由图 12 可知:在芯片开启时,瞬态输出峰值拉电流约为 5.54 A;在芯片关闭时,瞬态输出峰值灌电流约为 5.52 A,芯片开启传播延时约为 29.52 ns,输出上升沿时间约为 5.01 ns,实现了芯片大电流的快速驱动。

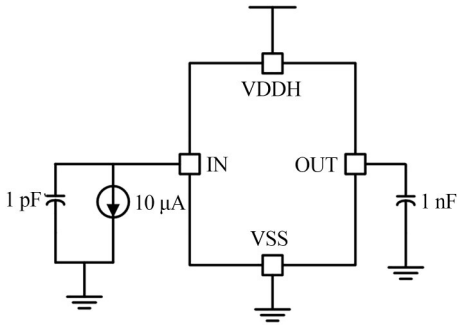
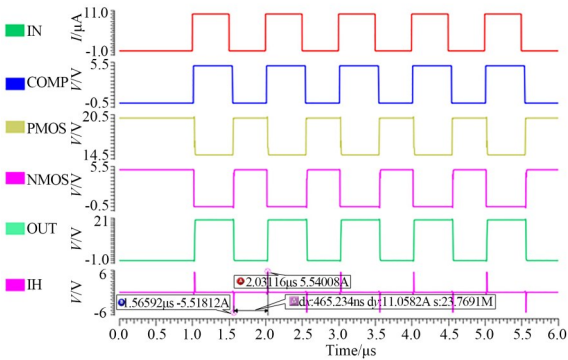
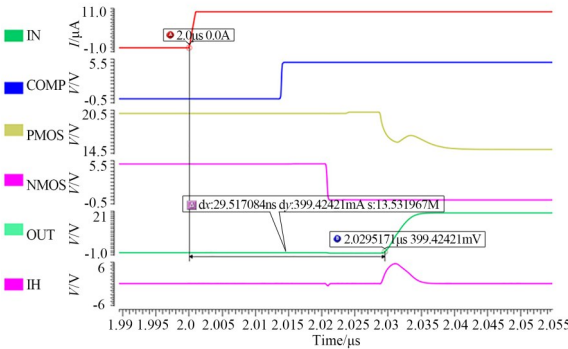


图 11 芯片整体仿真电路

Fig. 11 Overall simulation circuit of chip



(a) 瞬态仿真
(a) Transient simulation



(b) 上升沿仿真
(b) Simulation of rising edge

图 12 芯片整体功能的仿真结果

Fig. 12 Simulation results of overall function of chip

4 实验结果与分析

光耦隔离式驱动芯片版图如图 13 所示,芯片测试平台如图 14 所示,芯片管脚图和芯片实物图如图 15 所示。对芯片进行测试时,1 号管脚接入光源电源,2 号管脚接地,3 号管脚接信号发生器并串接限流电阻,4 号管脚接地,5 号管脚悬空,6

号管脚接芯片电源。设置输入信号为 20 kHz 的 PWM 方波控制信号,通过示波器得到 3 号管脚的输入波形与 5 号管脚的输出波形。

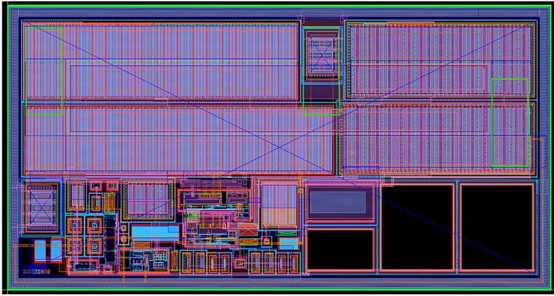


图 13 芯片版图

Fig. 13 Chip layout

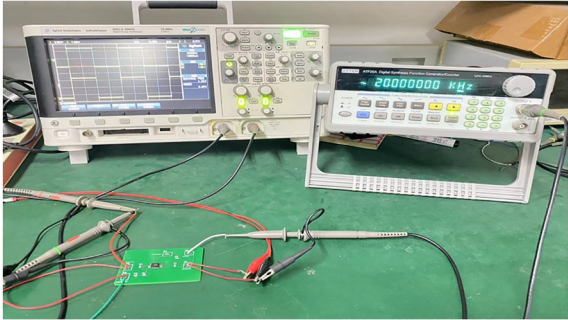
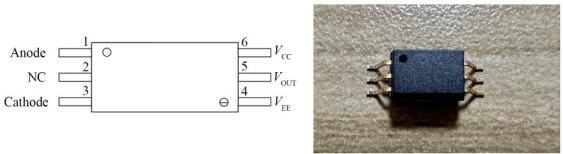


图 14 芯片测试平台

Fig. 14 Chip test platform



(a) 管脚图
(a) Pin diagram
(b) 实物图
(b) Physical picture

图 15 芯片管脚图和芯片实物图

Fig. 15 Chip pin and chip physical drawing

测试平台结果显示,当芯片电源电压高于 11.5 V 时,芯片开始工作。将电源电压设置为 15 V,芯片测试结果如图 16 所示(彩图见期刊电子版),图 16 中黄色通道为输入的光源信号,绿色通道为芯片的输出信号。芯片的输入信号波形与输出信号波形如图 16(a)所示。由图 16(a)可知:芯片的输出信号正常,且芯片输出信号可以很好地跟随芯片输入信号。截取信号上升沿如图 16(b)所示,由图 16(b)可知,信号的传播延时约为 98 ns。

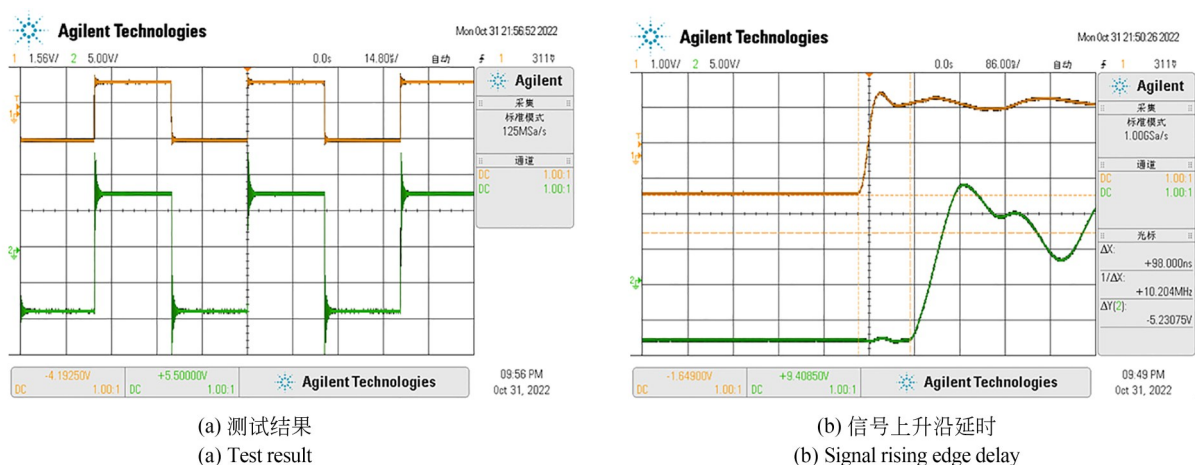


图16 芯片整体功能验证

Fig. 16 Overall function verification of chip

5 结论

本文设计了一款光耦隔离式栅极驱动芯片,通过Slivoca软件对光探测器进行建模仿真,并且对其光谱响应特性进行了分析。此外,还对光耦的光学结构进行了仿真,设计了Deep N-well/P-Sub结构的光探测器。该芯片能够实现安全有效的光耦高压隔离,并解决后端信号对前端控制信号造成的串扰问题。使用Cadence Virtuoso仿真软件进行芯片内部电路模块的仿真。仿真结果

显示:在输入信号频率为1 MHz的情况下,芯片整体的传播延时约为29.52 ns,峰值拉电流与峰值灌电流分别为5.54 A和5.52 A,满足高频率、低延时以及大电流的设计要求。在Maxchip 0.18 μm 40 V BCD工艺平台下,使用0.72 mm²空间完成芯片版图绘制并进行流片。此外,还对裸片进行了封装测试,测试结果显示:在光源输入电流为10 mA,芯片供电电压为12~40 V,输入信号频率为20 kHz的条件下,芯片的传播延时仅为98 ns。

参考文献:

- [1] LIANG Z X, NING P Q, WANG F. Development of advanced all-SiC power modules [J]. *IEEE Transactions on Power Electronics*, 2014, 29(5): 2289-2295.
- [2] 王建渊, 林文博, 孙伟. 用于全桥变换器的SiC MOSFET驱动电路设计[J]. *电力电子技术*, 2020, 54(2): 120-124.
WANG J Y, LIN W B, SUN W. SiC MOSFET drive circuit design for full bridge converter[J]. *Power Electronics*, 2020, 54(2): 120-124. (in Chinese)
- [3] SCHRITTWIESER L, LEIBL M, HAIDER M, et al. 99.3% efficient three-phase buck-type all-SiC SWISS rectifier for DC distribution systems [C]. 2017 *IEEE Applied Power Electronics Conference and Exposition (APEC)*. March 26-30, 2017, Tampa, FL, USA. IEEE, 2017: 2173-2178.
- [4] WANG X D, ZHAO Z M, LI K, et al. Analytical methodology for loss calculation of SiC MOSFETs [J]. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 2019, 7(1): 71-83.
- [5] NOGE Y, SHOYAMA M, DENG M C. Active gate driver for high power SiC-MOSFET module with source current feedback and P-D controller [C]. 2021 *IEEE 12th Energy Conversion Congress & Exposition-Asia (ECCE-Asia)*. May 24-27, 2021, Singapore, Singapore. IEEE, 2021: 1350-1353.
- [6] NEVAREZ J, OLMEDO A, WILLIAMS R, et al. Gate driver protection methods for SiC MOSFET short circuit testing [C]. 2021 *IEEE International Reliability Physics Symposium (IRPS)*. March 21-25, 2021, Monterey, CA, USA. IEEE, 2021: 1-4.
- [7] 王佳军, 陈息坤, 顾隽楠, 等. 一种大功率IGBT模块驱动电路设计[J]. *微特电机*, 2021, 49(11): 43-46, 52.

- WANG J J, CHEN X K, GU J N, *et al.* A high-power IGBT module drive circuit design[J]. *Small & Special Electrical Machines*, 2021, 49(11): 43-46, 52. (in Chinese)
- [8] 黄烜宇. 应用于Si-IGBT+SiC-SBD混合模块的栅驱动电路设计[D]. 南京: 东南大学, 2017.
- HUANG H/X) Y. *Design of Gate Driver Circuit for Si-IGBT+SiC-SBD Hybrid Module*[D]. Nanjing: Southeast University, 2017. (in Chinese)
- [9] 余宝伟. 大功率SiC MOSFET驱动电路及功率回路振荡问题研究[D]. 北京: 北京交通大学, 2021.
- YU B W. *Research on Driver Circuit and Power Circuit Oscillation Problems of High Power SiC MOSFET Modules*[D]. Beijing: Beijing Jiaotong University, 2021. (in Chinese)
- [10] 史晓凤, 庞雪, 朱丽君, 等. BCD工艺下光电集成的单光子雪崩光电二极管及前端电路的研制[J]. 光学精密工程, 2021, 29(2): 267-277.
- SHI X F, PANG X, ZHU L J, *et al.* Development of photoelectric integrated single photon avalanche photodiode and front-end circuit based on BCD technology[J]. *Opt. Precision Eng.*, 2021, 29(2): 267-277. (in Chinese)
- [11] 李晓亮, 刘荣科, 王建军, 等. 基于单光子探测器的深空激光通信阵列[J]. 光学精密工程, 2022, 30(13): 1534-1541.
- LI X L, LIU R K, WANG J J, *et al.* Deep-space laser communications telescope array based on single photon detector[J]. *Optics and Precision Engineering*, 2022, 30(13): 1534-1541. (in Chinese)
- [12] 何伟基, 司马博羽, 程耀进, 等. 基于盖格-雪崩光电二极管的光子计数成像[J]. 光学精密工程, 2012, 20(8): 1831-1837.
- HE W J, SIMA B Y, CHENG Y J, *et al.* Photon counting imaging based on GM-APD[J]. *Optics and Precision Engineering*, 2012, 20(8): 1831-1837. (in Chinese)
- [13] 拉扎维. 光通信集成电路设计[M]. 北京: 清华大学出版社, 2005.
- BEHZAD R. *Optical Communication IC Design* [M]. Beijing: Tsinghua University Press, 2005. (in Chinese)
- [14] CHOI B D. Enhancement of current driving capability in data driver ICs for plasma display panels [J]. *IEEE Transactions on Consumer Electronics*, 2009, 55(3): 992-997.

作者简介:



程翔(1977—),女,博士,副教授,2014-2015为美国佛罗里达大学访问学者,主要研究方向为光电子技术,嵌入式系统,集成光电子学,微纳光机电和集成电路。E-mail: chengfling@xmu.edu.cn

通讯作者:



刘岩(1988—),男,博士,讲师,2010年于天津大学获得学士学位,2013年、2019年于厦门大学分别获得硕士和博士学位,主要研究方向为电源管理芯片,光电集成等。E-mail: ly_liu@jmu.edu.cn